



## ***Sujet de thèse***

**Conception d'architectures de traitement numérique du signal sur des technologies de type CMOS probabiliste.**

***Design of digital signal processing architectures on probabilistic CMOS***

## ***Encadrant***

Matthieu ARZEL (Département Electronique de Telecom Bretagne, laboratoire LabSTICC – CNRS UMR 3192, Brest)

[matthieu.arzel@telecom-bretagne.eu](mailto:matthieu.arzel@telecom-bretagne.eu)

## ***Directeur de thèse***

Christophe JEGO (IPB/ENSEIRB-MATMECA, laboratoire IMS - CNRS UMR 5218, Talence)

[christophe.jego@enseirb-matmeca.fr](mailto:christophe.jego@enseirb-matmeca.fr)

## ***Mots-clés***

Circuits intégrés numériques, architectures de traitement du signal, CMOS probabiliste, électronique faible consommation, adéquation algorithme-architecture, codage correcteur d'erreur, transformée de Fourier rapide.

## ***Contexte***

La conception d'un circuit intégré requiert la définition des conditions de fonctionnement qui permettent d'en garantir les performances et la fiabilité. Le cas échéant, il est possible d'introduire des mécanismes pour fiabiliser un circuit opérant dans des conditions qui le mettent en défaut. A titre d'exemple, des techniques de redondance spatiale ou temporel pour les fonctionnalités critiques ont largement été éprouvées dans les domaines du spatial et de l'avionique. Ces solutions sont plus ou moins complexes en fonction du circuit et de son environnement. Or, ce problème de fiabilisation devient particulièrement critique pour les technologies nano-électroniques émergentes et futures. Ainsi, un défi majeur se pose aux concepteurs de circuits actuels : comment concevoir des circuits fiables quand la technologie ne l'est plus? En effet, l'échelle nanométrique des composants est quasiment indissociable d'un comportement probabiliste. En outre, les technologies CMOS actuelles comme la 22nm ne sont plus garanties comme fiables lorsque la consommation d'énergie est réduite par une diminution de la tension d'alimentation. Cela contraint fortement la technologie dont l'immunité au bruit est dégradée et par conséquent l'intégration de traitements fiables avec les techniques actuelles n'est plus garantie [Akgul06, Palem05, Pu09].

Il est donc impératif de rechercher des solutions architecturales qui permettent de traiter l'information de manière fiable sur une technologie qui ne l'est plus [Almukhaizim08, Shim06, Vasic07]. Notre expertise en codage correcteur d'erreurs, en modélisation de système et en conception de circuits nous incite à appliquer des techniques éprouvées de communications numériques à l'intégration sur des technologies CMOS probabilistes. Ainsi, une partie de notre équipe de recherche est investie dans cette démarche pour l'intégration de convertisseurs analogiques-numériques et assure une modélisation de la technologie CMOS probabiliste.

L'ensemble des compétences requises pour ce projet touche donc de la caractérisation de technologies CMOS à l'intégration numériques en passant par la

Copie :

PJ :



théorie de l'information et du codage correcteur d'erreurs. Enfin il est à noter que cette étude sera menée dans le cadre de la mise en place d'une collaboration des équipes des laboratoires LabSTICC et IMS mais également du laboratoire ETIS de l'ENSEA et d'un acteur majeur de la recherche française, à savoir le CEA.

## Objectifs

Cette thèse a pour objectifs :

1. la modélisation (en C/C++) d'opérateurs élémentaires en CMOS probabiliste, puis de fonctions plus complexes ;
2. l'analyse (via des modèles en C/C++) de techniques de correction d'erreurs adaptées au CMOS probabiliste ;
3. la conception d'architectures robustes de traitement numérique du signal sur CMOS probabiliste ;
4. l'intégration de prototypes de décodeur LDPC (Low-Density Parity-Check) et d'opérateur FFT (Fast Fourier Transform) ;
5. le test et la validation des prototypes.

Nous désirons ainsi contribuer à la définition de nouvelles architectures de traitement du signal robuste, que ce soit pour des technologies CMOS ultra-faible consommation ou pour les futures nanotechnologies.

## Compétences requises

Connaissances solides en électronique et en conception de circuit numérique (VHDL, FPGA)

Maîtrise d'un langage fonctionnel comme C pour la modélisation.

Maîtrise des fondements du traitement numérique du signal.

Aptitude à communiquer (par écrit et oral) en anglais.

## Bibliographie

[Akgul06] B. E. S. Akgul, L. N. Chakrapani, P. Korkmaz, and K. V. Palem, "Probabilistic CMOS technology: a survey and future directions", *IFIP International Conference on VLSI*, pp. 1-6, Nice, October 2006.

[Almukhaizim08] S. Almukhaizim and Y. Makris, "Soft error mitigation through selective addition of functionally redundant wires," *IEEE Trans. Reliability*, vol. 57, no. 1, pp. 23-31, 2008.

[Korkmaz05] P. Korkmaz, B. E. S. Akgul, and K. V. Palem, "Characterizing the behaviour of a probabilistic CMOS switch through analytical models and its verification through simulations", CREST technical Reprt, No. TR-05-08-01, pp. 1-35, August 2005.

[Palem05] K. V. Palem, "Energy aware computing through probabilistic switching: A study of limits", *IEEE Trans. Comput.*, pp. 1123-1137, September 2005.

[Pu09] Yu Pu, "On the road towards robust and ultra low energy CMOS digital circuits using sub/near threshold power supply", PhD dissertation, Eindhoven University of Technology, © NXP Semiconductors, 2009

[Shim06] B. Shim and N. R. Shanbhag, "Energy-efficient soft error-tolerant digital signal processing," *IEEE Trans. VLSI Systems*, vol. 14, no. 4, pp. 336-348, 2006.

[Vasic07] B. Vasic, S. K. Chilappagari, "An information theoretical framework for analysis and design of nanoscale fault tolerant memories based on low-density parity-check codes", *IEEE Trans. Circuits and Systems*, vol. 54, no. 11, pp. 2438-2446, November 2007.